

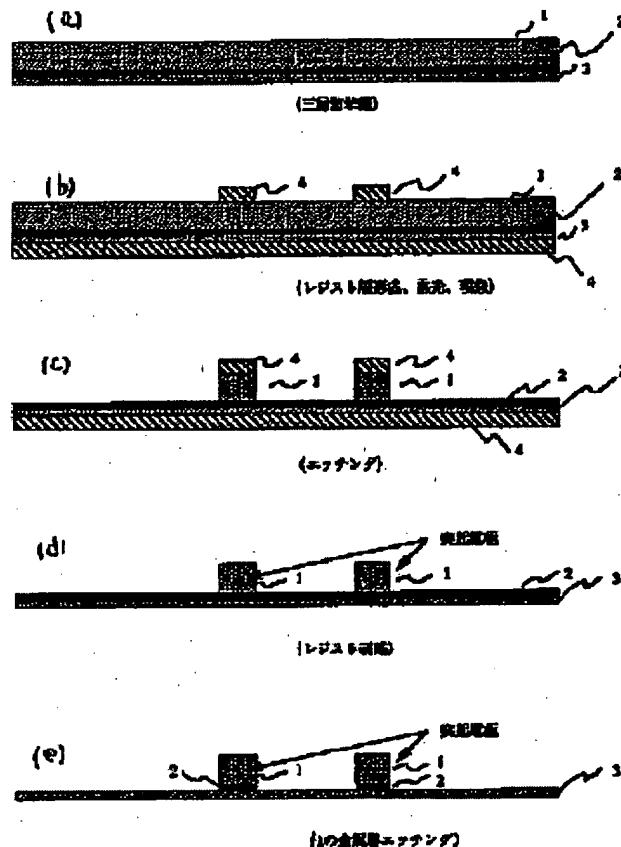
# MANUFACTURE OF MEMBER HAVING ELECTRODE GROUP

Patent number: JP11251365  
 Publication date: 1999-09-17  
 Inventor: NAKAMURA HIDEHIRO; YAMAZAKI AKIO; ICHIMURA SHIGEKI  
 Applicant: HITACHI CHEMICAL CO LTD  
 Classification:  
 - International: H01L21/60; H01L23/12; H05K3/06  
 - European:  
 Application number: JP19980047113 19980227  
 Priority number(s): JP19980047113 19980227

[Report a data error here](#)

## Abstract of JP11251365

**PROBLEM TO BE SOLVED:** To enable a small diameter of a fine wire or an external connection terminal and a multi-terminal thereof, by a method wherein a projection electrode group having a predetermined magnitude is formed in a first metal layer of a metal foil comprising three layers by etching, and by use of the projection electrode as a mask, a second metal is etched. **SOLUTION:** For example, a sensitive resist 4 is laminated on both faces of three-layer foils and a projection electrode image is image-formed in a first metal layer 1. It is desirable that the electrode form at that time is circular rather than angular. Thereafter, the first metal layer is selective-etched. Next, the etching resist 4 is separated and a metal layer 2 is etched by use of the projection metal 1 as a mask. At this time, the resist 4 may be separated after the etching of the second metal layer. Further, a projection electrode group is buried in an insulation layer by a vacuum thermal press, and also brought into contact with a flattening member. The flattening member is removed. Thus, it is possible to obtain at low prices a CSP substrate having a hole bottom part which is a copper surface with no contamination and a hole of a small diameter, and a copper foil in which a minute circuit can be formed.



Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-251365

(43) 公開日 平成11年(1999)9月17日

(51) Int.Cl.<sup>6</sup>  
H 01 L 21/60  
23/12  
H 05 K 3/06

識別記号  
3 1 1

F I  
H 01 L 21/60  
H 05 K 3/06  
H 01 L 23/12

3 1 1 S  
A  
L

審査請求 未請求 請求項の数2 OL (全7頁)

(21) 出願番号 特願平10-47113

(22) 出願日 平成10年(1998)2月27日

(71) 出願人 000004455

日立化成工業株式会社

東京都新宿区西新宿2丁目1番1号

(72) 発明者 中村 英博

茨城県つくば市和台48 日立化成工業株式  
会社筑波開発研究所内

(72) 発明者 山崎 晴夫

茨城県つくば市和台48 日立化成工業株式  
会社筑波開発研究所内

(72) 発明者 市村 茂樹

茨城県つくば市和台48 日立化成工業株式  
会社筑波開発研究所内

(74) 代理人 弁理士 若林 邦彦

(54) 【発明の名称】 電極群を有する部材の製造法

(57) 【要約】

【課題】 外部端子用の穴を基材に予めドリル穴明けし  
ておき、これを銅箔を貼り付けて、銅箔にチップ接続用  
端子と外部端子への接続配線回路を形成するCSP基板  
において、微細配線、外部接続端子の小径化、多端子化  
を可能とする。

【解決手段】 第1の金属層上に該金属層と選択エッチ  
ング可能な第2の金属層が形成され、さらに第2の金属  
層上に第1の金属層と同じ組成の金属で、厚さが第1の  
金属層と異なる第3の金属層が形成された3層金属箔の  
第1金属層に所定の大きさの突起電極群をエッチングに  
より形成するし、突起電極をマスクとして、第2金属を  
エッチングし、この部材の突起電極側に絶縁樹脂を介し  
て、表面が平坦な部材を加圧せしめ、絶縁層の厚さが突  
起電極の高さより1μm以下とし、突起電極上を被覆し  
た絶縁樹脂を除去し、この部材において、該突起群を形  
成する第1金属と該突起電極群と接触する第2金属層を  
エッチングにより除去する。

## 【特許請求の範囲】

【請求項1】 第1の金属層上に、該金属層と選択エッチング可能な第2の金属層が形成され、さらに第2の金属層上に、第1の金属層と同じ組成の金属で厚さが第1の金属層と異なる第3の金属層が形成された3層からなる金属箔の、第1金属層に、所定の大きさの突起電極群をエッチングにより形成する工程を含み突起電極をマスクとして、第2金属をエッチングすることを特徴とする電極群を有する部材の製造法。

【請求項2】 請求項1の部材の突起電極側に絶縁樹脂を介して、表面が平坦な部材を加圧せしめ、絶縁層の厚さが突起電極の高さより $1\mu m$ 以下になるようにし、突起電極上の被覆した絶縁樹脂を除去する突起電極群を有する部材の製造法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、エッチングによる突起電極群を有する部材及びそれを使用した小径穴明けされたCSP用基材の製造法に関する。

## 【0002】

【従来の技術】 電子機器の小形化、高速化に伴い、プリント配線板上に半導体チップを高密度に実装する必要性が増大している。このため、QFP (Quad Flat Package) をはじめとするリードパッケージが、プリント配線板に実装される場合が多い。しかし、入出力端子の増大に伴い、半導体チップの周辺に二次元的に入出力端子を設けるピン挿入型のPGA (Pin Grid Array) が開発されている。このPGAでは、表面実装に適しないことから、入出力端子にはんだボールを形成する表面実装型のBGA (Ball Grid Array) が開発されている。さらにパッケージを小型化するため、半導体チップの周辺に、半導体チップとの接続端子を設け、その端子と接続して実装領域内に配線と入出力端子を設けるCSP (Chip Size Package) が開発されている。これらは、チップキャリアパッケージと呼ばれ、半導体チップをセラミックやプラスチック基板あるいはフィルムからなるインターポーラーに実装し、封止材でトランスマウルドする形態をとる。このような、パッケージでセラミック基板をインターポーラーとした場合、有機基材からなるプリント配線板への実装は、熱膨張係数の不整合から接続部での信頼性が低下し不利である。また、セラミック基板は誘電率が高く伝搬遅延を減らすには不利である。これに対して、プラスチックの基板あるいはフィルムをインターポーラーとした場合が有利であり比較的安価である。このような背景から、外部端子用の穴を基材に予めドリル穴あけしておき、これに銅箔を貼り付けて、銅箔にチップ接続用端子と外部端子への接続配線回路を形成することを特徴とするCSP用基板が製造されている。これにより、銅箔表面でワイヤボンディングが可能

になり、同時に銅箔裏面にドリル径を有する外部接続端子を有する安価なCSP基板が実現する。このような基板においては、さらなる微細配線、外部接続端子の小径化、多端子化が望まれている。

## 【0003】

【発明が解決しようとする課題】 本発明は、外部端子用の穴を基材に予めドリル穴あけしておき、これを銅箔を貼り付けて、銅箔にチップ接続用端子と外部端子への接続配線回路を形成するCSP基板において、微細配線、外部接続端子の小径化、多端子化を可能とするものである。

## 【0004】

【課題を解決するための手段】 本発明の電極群を有する部材の製造法は、第1の金属層上に、該金属層と選択エッチング可能な第2の金属層が形成され、さらに第2の金属層上に、第1の金属層と同じ組成の金属で厚さが第1の金属層と異なる第3の金属層が形成された3層からなる金属箔の、第1金属層に、所定の大きさの突起電極群をエッチングにより形成する工程を含み突起電極をマスクとして、第2金属をエッチングすることを特徴とするものである。請求項1の部材の突起電極側に絶縁樹脂を介して、表面が平坦な部材を加圧せしめ、絶縁層の厚さが突起電極の高さより $1\mu m$ 以下になるようにし、突起電極上の被覆した絶縁樹脂を除去し突起電極群を有する部材を製造する。

## 【0005】

【発明の実施の形態】 本願では、第1の金属層上に該金属層と選択エッチング可能な第2の金属層が形成され、さらに第2の金属層上に第1の金属層と同じ組成の金属で、厚さが第1の金属層と異なる第3の金属層が形成された該3層からなる金属箔(以下3層箔)において、第1金属層に所定の大きさの突起電極群をエッチングにより形成する工程を含み突起電極をマスクとして、第2金属をエッチングすることを特徴とする工程及び部材が提供される。又本願では、上記の部材の突起電極側に絶縁樹脂を介して、表面が平坦な部材を加圧せしめ、絶縁層の厚さが突起電極の高さより $1\mu m$ 以下とすることを特徴とする工程を含み、突起電極上を被覆した絶縁樹脂を除去することを特徴とする工程及び部材が提供される。更に本願では、上記からなる部材において、該突起群を形成する第1金属と該突起電極群と接触する第2金属層をエッチングにより除去する工程及び部材が提供される。

【0006】 図1に、3層箔の第1金属に突起電極群を形成するための工程断面を示す。図1(a)に示す3層箔において、図中2で示す第2金属層は、第1金属層と選択エッチング可能であり、また第1金属層よりイオン化傾向が低い。構造諸元は、第1金属層の厚さが $1.8\sim7.0\mu m$ であり、第2金属層の厚さは、 $1\mu m$ 以下である。第3金属層の厚さは、 $5\sim18\mu m$ である。この3

層箔両面に例えば感光性レジストHN640（日立化成製、商品名）をラミネートし、第1金属層に、後述の突起電極イメージを図1（b）に示すように、像形成する。この時の電極形状は角状より円状が望ましい。この後、図1（c）に示すように第1金属層を選択エッチングする。次に図1（d）に示すようにエッティングレジストを剥離し、2で示す金属層を1で示す第1金属の突起電極をマスクにしてエッティングする。この時、該レジストを第2金属層エッティング後に剥離してもよい。これにより、図1（e）に示すように、高さが均一な突起電極群を有する部材を得る。

【0007】図2は、図1の発明部材と表面が平坦な部材を加圧接触させる工程を示す。図2（a）は、図1の発明部材である。図2（b）は、この部材の突起電極群側を熱硬化性樹脂、熱可塑性樹脂を介して、6で示す表面が平滑な部材（平坦化部材）を構成した構成断面を示す。この構成で、真空熱プレスにより、突起電極群を樹脂に埋設すると共に、平坦化部材に接触せしめる。また、図2（b）において、突起電極側に、紫外線硬化樹脂あるいは、印刷後硬化可能な絶縁樹脂をスクリーンまたはメタルマスク印刷により印刷後、平坦化部材として、ガラス板を接触せしめ、紫外線硬化あるいは熱硬化させることも可能である。これにより、図2（c）に示す部材が得られる。この際、突起電極と6の間に、最大 $1\mu\text{m}$ 以下の厚さで5で示す樹脂が残る。図2（d）で平坦化部材が銅箔であればエッティングし、ガラス板である場合は、機械的に除去する。この時もやはり、突起電極と6の間に最大 $1\mu\text{m}$ 以下の厚さで、5で示す樹脂が残る場合がある。この後、図2（e）に示すように、樹脂層がポリイミドやエポキシ樹脂であれば、過マンガン酸処理等、適宜行う。 $0.1\mu\text{m}$ 以下の残渣であればアラズマ処理、オゾン処理等を行い、突起電極の頭出しを行う。

【0008】図3は、図2の発明による部材を用いて、埋設された突起電極の第1金属及び第2金属を、順次エッティングする工程を示す。図3（a）は、図2の発明部材である。図3（b）では、3で示す第3金属層側にレジスト形成する。この後、図3（c）、図3（d）で、埋設された突起電極をエッティングし、レジスト除去する。以上により、図3（e）に示す所定の外部接続用穴（はんだボール接続用電極）が形成された部材が得られる。

【0009】図4は、図3で得られた突起電極の断面図を示す。これにより、先端径が最小 $100\mu\text{m}$ の突起電極が得られる。また、径の異なる均一な高さの突起電極群が高精度の位置に形成できる。エッチングを用いるため、テーパ形状となる。また、第2金属がエッチバックされた構造になる。このため、図4に示すような、穴断面図形状が得られる。この穴断面により、はんだボールをリフローで接続したとき、基材の接触面積が小さくなり、剪断応力強度が上昇する。

【0010】図5に、従来の工法による穴断面形状を示す。まず7で示すコア材の両面に、8で示す接着材を塗布したボンディングシート（図5（a））にドリル穴明けする（図5（b））。この時の、外部接続用の最小径は直径 $0.3\text{mm}$ である。これに、銅箔をプレスし、図5（c）に示すCSP用基材を得る。しかし、図5（d）に示すように、直径 $0.3\text{mm}$ 以下の穴明けでは、プレス時に8で示す接着材が銅箔側で位置ずれし、安全な穴形状にならない。また、9で示す外部接続用穴の銅箔面に、8の接着材の未硬化成分がしみだし、後の金めっき工程で付着等の原因や不良となる。

#### 【0011】

【発明の効果】本発明の発明部材により、穴底部がコンタミのない銅表面で小径の穴を有し、かつ微細な回路が形成できる銅箔がついたCSP用基板が安価に得られる。

#### 【図面の簡単な説明】

【図1】 本発明の工程を説明する断面図。

【図2】 本発明の工程を説明する断面図。

【図3】 本発明の工程を説明する断面図。

【図4】 本発明の部材の断面図。

【図5】 従来の工程を説明する断面図。

#### 【符号の説明】

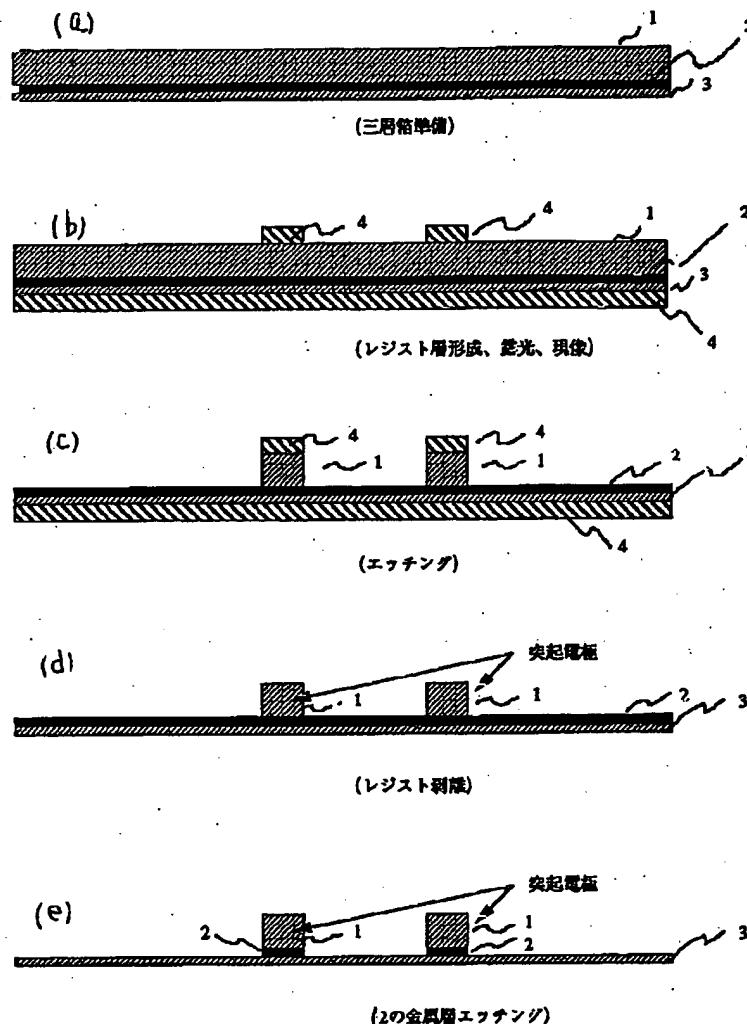
- 1 第1金属層
- 2 第2金属層
- 3 第3金属層
- 4 レジスト
- 5 絶縁層
- 6 平坦化部材
- 7 コア絶縁層
- 8 接着材
- 9 外部接続用端子穴

【図4】

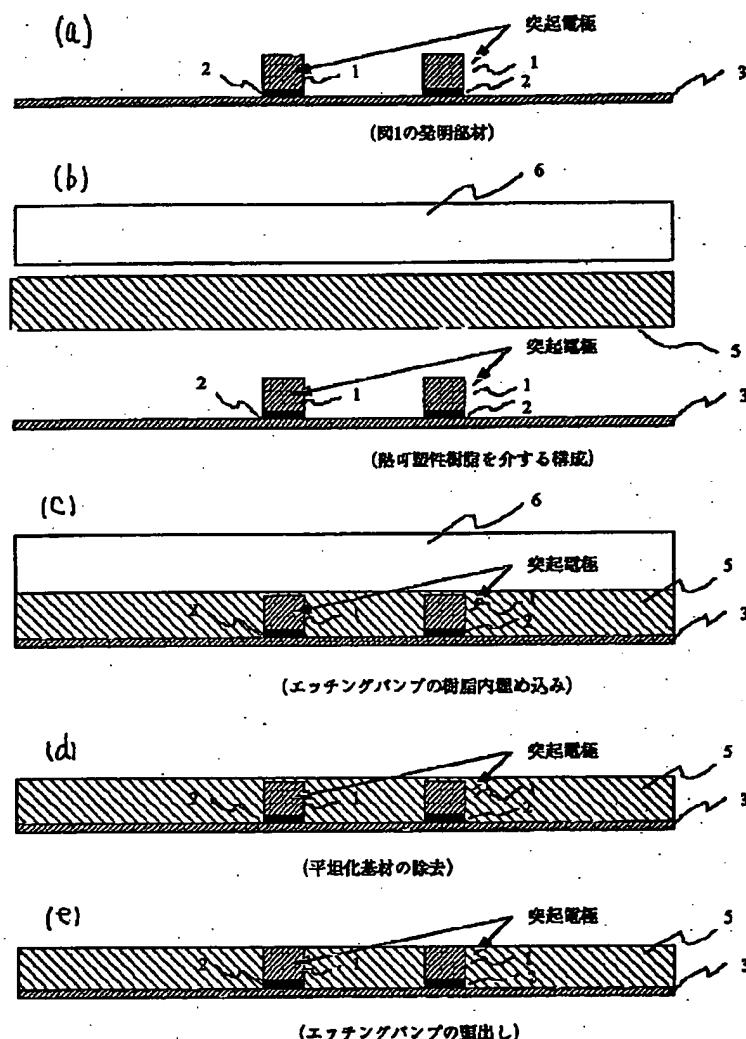


図3の発明部材の穴断面形状

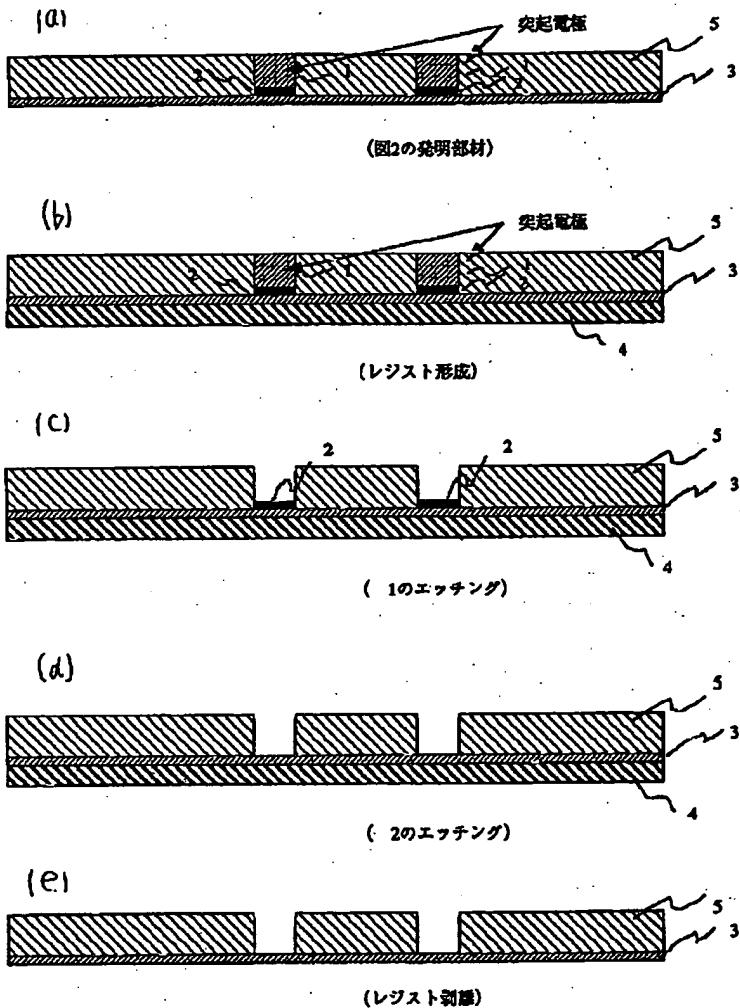
【図1】



【図2】



【図3】



【図5】

